

日本国特許庁
JAPAN PATENT OFFICE

K. Hayashida et al

9/19/03

077404

10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月26日

出願番号

Application Number:

特願2002-281842

[ST.10/C]:

[JP2002-281842]

出願人

Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034365

【書類名】 特許願

【整理番号】 74510271

【提出日】 平成14年 9月26日

【あて先】 特許庁 長官殿

【国際特許分類】 H03L 7/08

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 林田 圭司

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 長谷川 篤

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100105511

【弁理士】

【氏名又は名称】 鈴木 康夫

【選任した代理人】

【識別番号】 100109771

【弁理士】

【氏名又は名称】 臼田 保伸

【手数料の表示】

【予納台帳番号】 055457

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711687

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相同期ループ回路

【特許請求の範囲】

【請求項 1】 基準クロック信号と、該基準クロック信号に同期して動作する電子回路へ供給される同期クロック信号とを入力してその位相差を検出する位相差検出手段と、該位相差検出手段により前記位相差が検出されたとき、前記基準クロック信号と前記同期クロック信号に対して、前記検出された位相差をさらに大きくするために所定の位相差が付加された基準クロック遅延信号及び同期クロック遅延信号を出力する位相差変更手段とを有する D L L 回路と、

前記位相差変更手段によりその位相差が変更された前記基準クロック遅延信号と前記同期クロック遅延信号を入力して、前記同期クロック遅延信号の位相を基準クロック遅延信号の位相と一致させる方向にその出力クロック信号の位相を制御するとともに、該制御された出力クロック信号を前記同期クロック信号として前記電子回路へ出力するアナログ P L L 回路と、

を備えていることを特徴とする位相同期ループ回路。

【請求項 2】 前記位相差変更手段は、前記検出された位相差と前記付加される所定の位相差との和を、前記アナログ P L L 回路のもつ定常位相誤差より大きい値に設定することを特徴とする請求項 1 に記載の位相同期ループ回路。

【請求項 3】 前記同期クロック信号が供給される複数の電子回路を備え、前記アナログ P L L 回路の出力端と前記複数の電子回路の入力端間に、前記アナログ P L L 回路から出力される出力クロック信号の位相を均等化して前記複数の電子回路の入力端に前記同期クロック信号として供給するツリー状に配置・配線された C T S 回路を備えていることを特徴とする請求項 1 または 2 に記載の位相同期ループ回路。

【請求項 4】 前記 D L L 回路は、前記基準クロック信号と前記同期クロック信号の位相差を検出する位相比較器と、前記基準クロック信号を遅延させて前記基準クロック遅延信号を出力する第 1 の遅延回路と、前記同期クロック信号を遅延させて前記同期クロック遅延信号を出力する第 2 の遅延回路と、前記移相比較器で検出された位相差信号が入力され、該位相差信号に基づいて前記第 1 及び

第 2 の遅延回路の少なくとも一方の遅延時間を制御する制御回路とを有していることを特徴とする請求項 1 ～ 3 のいずれかに記載の位相同期ループ回路。

【請求項 5】 前記第 1 及び第 2 の遅延回路は、遅延可能な最大遅延時間が、それぞれ前記アナログ PLL 回路のもつ定常位相誤差時間となるように構成されていることを特徴とする請求項 4 に記載の位相同期ループ回路。

【請求項 6】 前記制御回路は、前記移相比較器から n 回の移相比較結果を入力し、前記基準クロック信号と前記同期クロック信号のいずれか一方の信号の位相が他方の信号の位相よりも遅い場合が m 回 ($m < n / 2$) より少ないときには、前記第 1 及び第 2 の遅延回路のうち、前記他方の信号を遅延する遅延回路の遅延量を大きくし（または前記一方の信号を遅延する遅延回路の遅延量を小さくし）、位相が遅い場合がいずれの信号においても m 回以上であるときには、前記第 1 及び第 2 の遅延回路を変化させずに前回の遅延制御状態を維持するように、前記第 1 及び第 2 の遅延回路の遅延時間を制御する機能を備えていることを特徴とする請求項 3 または 4 に記載の位相同期ループ回路。

【請求項 7】 請求項 1 ～ 5 のいずれかに記載の位相同期ループ回路をその内部に備え、前記基準クロック信号が外部から供給されていることを特徴とする半導体集積回路装置。

【請求項 8】 第 1 の信号及び第 2 の信号の位相を比較して第 3 の信号を出力するアナログ PLL 回路と、

基準信号及びフィードバック信号として前記第 3 の信号に基づく信号を入力し、前記基準信号及び前記フィードバック信号の位相を比較し、その比較結果に基づき前記第 1 及び第 2 の信号を出力する DLL 回路と、
を備えることを特徴とする位相同期ループ回路。

【請求項 9】 前記 DLL 回路は、単位遅延回路が複数段縦続接続された第 1 の遅延回路及び第 2 の遅延回路を備え、

前記第 1 の遅延回路の初段の単位遅延回路は前記基準信号を受け所定段の単位遅延回路から前記第 1 の信号を出力し、前記第 2 の遅延回路の初段の単位遅延回路は前記フィードバック信号を受け所定段の単位遅延回路は前記第 2 の信号を出力することを特徴とする請求項 8 に記載の位相同期ループ回路。

【請求項 1 0】 前記第 1 の遅延回路の総遅延量および前記第 2 の遅延回路の総遅延量は、それぞれ前記アナログ P L L 回路の定常位相誤差の絶対値とほぼ等しい値に設定されていることを特徴とする請求項 9 記載の位相同期ループ回路。

【請求項 1 1】 前記 D L L 回路は、単位遅延回路が複数段縦続接続された第 1 の遅延回路を備え、前記第 1 の遅延回路の初段の単位遅延回路は前記基準信号を受け所定段の単位遅延回路から前記第 1 の信号を出力し、前記フィードバック信号を前記第 2 の信号として出力し、かつ、前記第 1 の遅延回路の総遅延量は、前記アナログ P L L 回路の定常位相誤差とほぼ等しい値に設定されていることを特徴とする請求項 8 記載の位相同期ループ回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路チップ等に用いられるアナログ方式の位相同期ループ（P L L）回路に関し、特にアナログ P L L 回路における定常位相誤差を低減する技術に関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路チップには、集積回路内部の各ロジック回路に供給されるクロック信号を集積回路チップ外部から供給される基準クロック信号と同期させるために P L L 回路が設けられている。

【 0 0 0 3 】

図 5 は、各集積回路チップに設けられた従来の P L L 回路の一構成例を示すブロック図であり、アナログ P L L 回路 5 2 の一方の入力端には外部からの基準クロック信号 5 3 が入力され、他方の入力端には集積回路内の各ロジック回路 5 7 に供給される同期クロック信号がフィードバック信号 5 4 として入力される。アナログ P L L 回路 5 2 では入力された基準クロック信号 5 3 とフィードバック信号 5 4 の位相差が 0 になるようにその出力クロック信号 5 5 の位相が制御される。

【 0 0 0 4 】

位相制御された出力クロック信号 5 5 は、その遅延時間を各ロジック回路の入力端において均等化させるためにツリー状に配置・配線された C T S (Clock Tree Synthesis) 回路 5 6 を介して各ロジック回路 5 7 に同期クロック信号として供給される。従って、アナログ P L L 回路 5 2 から出力される出力クロック信号 5 5 の位相は、C T S 回路 5 6 による遅延時間分を前もって差し引いた位相となるように制御される。

【 0 0 0 5 】

アナログ P L L 回路 5 2 は、例えば、C T S 回路 5 6 から出力される同期クロック信号であるフィードバック信号 5 4 の位相と基準クロック信号 5 3 の位相を比較する位相比較器と、該位相比較器の比較結果に対応する制御電圧を発生するローパスフィルタ等からなる制御電圧発生手段および、この制御電圧によりその発振周波数が制御される電圧制御発振器 (V C O) によって構成されている。これらの構成は当業者にはよく知られているのでその詳細説明は省略する。

【 0 0 0 6 】

また従来、半導体集積回路の基準クロック入力端子から P L L 回路の位相比較器の入力端までの第 1 の経路と、P L L 回路から出力され C T S 回路を介してロジック回路に入力されるクロックの帰還経路である位相比較器の入力端までの第 2 の経路に、それぞれ、遅延時間が可変に設定可能な第 1 及び第 2 の可変遅延素子を挿入し、第 1 の経路および第 2 の経路とそれぞれ等価に形成された第 3 の経路および第 4 の経路における遅延時間差の測定結果に基づき、前記第 1 及び第 2 の可変遅延素子の遅延時間を設定することによって前記第 1 の経路と第 2 の経路の遅延時間を互いに等しくし、前記各経路の遅延時間差によって生ずる位相誤差を補正することにより、半導体集積回路に設けられた P L L の位相同期の精度を向上し、製造バラツキ、及び L S I 内部の配線状況に由来する位相比較精度の低下を抑制する技術も提案されている (例えば、特許文献 1 参照)。

【 0 0 0 7 】

これらの構成を有する P L L 回路を備えることによって、例えば、C T S 回路 5 6 に連なる各ロジック回路 5 7 に入力される同期クロック信号 (フィードバッ

ク信号 5 4) の位相を、外部からの基準クロック信号 5 3 の位相と同期させることができ、また、特許文献 1 のように位相比較器に入力される基準クロックの経路と出力クロックの帰還経路の経路差に基づく位相誤差を解消してさらに位相同期の精度を向上することが可能となるが、実際には、アナログ PLL 回路を構成する内部回路の相対誤差、あるいはリーク等によりアナログ PLL 回路の位相比較器に入力される基準クロック信号とフィードバック信号との間に定常位相誤差があるために、各ロジック回路に供給される同期クロック信号（フィードバック信号）と外部からの基準信号の位相差をこの定常位相誤差以下にすることはできない。

【 0 0 0 8 】

従って、図 5 あるいは特許文献 1 に示す構成では、位相比較器の入力端における基準クロック信号（基準信号 5 3）と各ロジック回路に入力される同期クロック信号（フィードバック信号 5 4）の位相は完全には一致せず、両者の位相差が 0 でないところで安定状態となってしまう。即ち、アナログ回路でのバラツキ、リーク等に伴う定常位相誤差の低減には限界が存在し、各ロジック回路に入力される同期クロック信号の位相を基準クロック信号と完全に一致させることは困難である。

【 0 0 0 9 】

同期クロック周波数が低い場合には、この定常位相誤差がある程度の許容範囲内であれば、回路の動作への影響はそれほど問題とならないが、同期クロック周波数が高くなると、その許容範囲が厳しくなり、定常位相誤差が無視できなくなってくる。

【 0 0 1 0 】

図 6 は、アナログ PLL 回路により生ずる前記定常位相誤差を減らすために従来考えられている構成例を示すブロック図であり、アナログ PLL 回路の後段にこのアナログ PLL 回路とは独立した DLL (Delay Locked Loop) 回路を設け、この DLL 回路によりアナログ PLL 回路で生じている前記定常位相誤差を減らすことによって、各ロジック回路に供給される同期クロック信号の位相を外部から入力される基準クロック信号の位相と一致させる構成となっている。

【 0 0 1 1 】

図 6 において、アナログ PLL 回路 6 1 内の位相比較器には、外部からの基準クロック信号 6 3 とその出力クロック信号であるフィードバック信号 6 5 が入力され、基準クロック信号 6 3 との位相差が前記定常位相誤差の範囲まで低減された出力クロック信号 6 5 が DLL 回路 6 2 へ出力される。

【 0 0 1 2 】

DLL 回路 6 2 には、アナログ PLL 回路 6 1 から入力される出力クロック信号 6 5 を少なくとも 1 周期分遅延可能に構成された、例えば複数段のバッファからなる可変遅延回路と、外部からの基準クロック信号 6 3 と CTS 回路 6 6 の出力である同期クロック信号 6 8 を入力して両者の位相差を検出し、検出された位相差に応じて上記可変遅延回路の遅延量を制御する遅延時間制御手段が備えられている。

【 0 0 1 3 】

即ち、DLL 回路 6 2 では、基準クロック信号 6 3 と同期クロック信号 6 8 の位相が比較され、その位相差が 0 となるように前記可変遅延回路の遅延量が制御される。DLL 回路 6 2 からはこの遅延量が制御された出力クロック 6 4 が CTS 回路 6 6 へ入力されるので、CTS 回路 6 6 から出力される同期クロック信号 6 8 の位相は、外部からの基準クロック信号 6 3 の位相と一致し、従って、基準クロック信号と同期した同期クロック信号がロジック回路 6 7 に供給される。

【 0 0 1 4 】

【特許文献 1】

特開 2 0 0 1 - 1 1 1 4 1 5 号公報。

【 0 0 1 5 】

【発明が解決しようとする課題】

一般に、アナログ方式の PLL 回路は、ディジタル方式の PLL よりも電源ノイズの影響を受けにくく設計が容易であるが、前述のように、アナログ回路でのバラツキ、リーク等に伴う定常位相誤差の低減には限界が存在し、各ロジック回路に入力されるクロック信号を基準クロック信号と完全に同期させることは困難である。

【 0 0 1 6 】

一方、上記図 6 に示す回路によれば、アナログ PLL 回路の後段に接続されたこのアナログ PLL 回路とは独立した DLL 回路により、上記図 5 あるいは特許文献 1 に示すアナログ PLL 回路において発生する前記定常位相誤差の問題の解消は可能であるが、出力クロック信号の位相精度を高めようとするとその規模が大きくなり、集積回路の面積および消費電流が増大する。

【 0 0 1 7 】

また、独立して動作する DLL 回路は、電源からのノイズをそのまま累積し、DLL で発生するジッタがそのまま出力されるという問題がある。DLL 回路を構成する上記可変遅延回路は、通常単位遅延を有する例えば CMOS インバータからなるバッファ回路を複数段縦続接続して構成されるが、この CMOS インバータのスウィッチング時間（単位遅延時間）はデジタル電源のノイズの影響を受けやすくジッタとなってそのまま伝播してしまう。

【 0 0 1 8 】

また図 6 に示す DLL 回路は、可変遅延回路として少なくとも 1 周期分遅延可能に構成する必要があるが、一方、同期クロックの位相精度を高めようすると各バッファ回路の単位遅延時間を小さくする必要があり、その結果、縦続接続されるバッファ回路の段数が多くなり、その回路規模が大きくなる。例えば、クロック信号の周波数を 300MHz とした場合、その 1 周期は 3.3ns となり、一方、バッファ回路の単位遅延時間を 10ps とすると、1 周期分遅延可能に構成するためには、少なくともバッファ回路を 330 段以上縦続接続して構成する必要がある。

【 0 0 1 9 】

本発明の目的は、上記問題点に鑑み、アナログ PLL 回路の出力信号精度を維持したまま、アナログ回路でのバラツキ、リーク等に伴う定常位相誤差を低減することが可能な手段を提供することにある。

【 0 0 2 0 】

本発明の他の目的は、電源等からのノイズの影響によるジッタおよび回路規模を、単独の DLL 回路によって構成した場合よりも小さく抑えることが可能な手

段を提供することにある。

【 0 0 2 1 】

【課題を解決するための手段】

本発明の位相同期ループ回路は、外部からの基準クロック信号と、該基準クロック信号に同期して動作する電子回路へ供給される同期クロック信号とを入力してその位相差を検出する位相差検出手段と、該位相差検出手段により前記位相差が検出されたとき、前記基準クロック信号と前記同期クロック信号に対して、前記検出された位相差をさらに大きくするための所定の位相差が付加された基準クロック遅延信号及び同期クロック遅延信号を出力する位相差変更手段とを有するDLL回路と、前記位相差変更手段によりその位相差が変更された前記基準クロック遅延信号と前記同期クロック遅延信号を入力して、前記同期クロック遅延信号の位相を基準クロック遅延信号の位相と一致させる方向にその出力クロック信号の位相を制御するとともに、該制御された出力クロック信号を前記同期クロック信号として前記電子回路へ出力するアナログPLL回路と、を備えていることを特徴とする。

【 0 0 2 2 】

即ち本発明は、アナログPLL回路の前段にDLL回路を設け、このDLL回路によって前記基準クロック信号とフィードバック信号の位相差を検出し、前記アナログPLL回路の定常位相誤差以上に拡大された位相差に変更して該アナログPLL回路に入力するので、前記基準クロック信号とフィードバック信号の間の位相差がDLL回路によって検出されている間は、前記アナログPLL回路は、前記定常位相誤差以上に拡大された位相差を定常位相誤差まで低減するように動作する。従って、基準クロック信号とフィードバック信号の間の位相誤差を、DLL回路内の位相比較器の感度まで低減することができ、前記アナログPLL回路のプロセス誤差を解消することが可能となる。

【 0 0 2 3 】

また、DLL回路を構成する遅延回路を複数段縦続接続されたバッファによって構成した場合、そのバッファの段数としては、基準クロック信号の1周期分設ける必要はなく、アナログPLL回路の定常位相誤差分の遅延時間を有する遅延

回路を設けるだけでよく、遅延回路の規模を小さくすることができる。さらに、D L L回路でジッタが発生しても、このジッタ成分はアナログP L L回路によって吸収されるので、ジッタの影響を低減することもできる。

【 0 0 2 4 】

【発明の実施の形態】

図 1 は、本発明の位相同期ループ回路の実施形態を示すブロック図である。本実施形態の位相同期ループ回路は集積回路チップ内に形成されている。

【 0 0 2 5 】

図 1 において、内部D L L回路 2 は、集積回路内に配置されたロジック回路 5 に対する同期クロック信号であるフィードバック信号 1 3 と集積回路チップ外部より供給される基準クロック信号 1 1 の間の位相を比較し、位相差が検出されたときには、この検出した位相差に対して所定の位相差を付加することにより、位相差がさらに拡大制御された基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 を生成して内部アナログP L L回路 3 へ出力する。

【 0 0 2 6 】

この内部D L L回路 2 が動作を開始する時刻は、内部アナログP L L回路 3 が動作を開始してから所定の時間後、あるいは内部アナログP L L回路 3 がロック状態となった後の時刻に設定される。内部D L L回路 2 における制御動作は、内部D L L回路 2 に入力される制御信号 1 5 が例えばLレベルからHレベルに変化した時点で位相差検出動作を開始するように制御される。

【 0 0 2 7 】

内部アナログP L L回路 3 は、この基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 を入力し、この基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 間の位相差が内部アナログP L L回路 3 のもつ定常位相誤差となるように出力クロック信号 1 6 の位相が制御されたとき安定状態となり、該位相制御された出力クロック信号 1 6 をC T S回路 4 へ出力する。なお、内部アナログP L L回路 3 の内部構成は、図 5 に示すアナログP L L回路 5 2 と同様である。

【 0 0 2 8 】

C T S回路 4 は、内部アナログP L L回路 3 から出力される出力クロック信号

1 6 を均等に遅延して、集積回路内部の複数のロジック回路 5 に対してそれぞれ同期クロック信号として供給する。この同期クロック信号はフィードバック信号 1 3 として内部 D L L 回路 2 の入力側へ帰還される。

【 0 0 2 9 】

図 2 は、本実施形態における内部 D L L 回路 2 の内部構成の一例を示すブロック図である。

【 0 0 3 0 】

内部 D L L 回路 2 は、外部からの基準クロック信号 1 1 と同期クロック信号であるフィードバック信号 1 3 の位相差を検出する位相比較器 2 1 と、位相比較器 2 1 から位相差情報を受け取り、可制御遅延回路 2 3、2 4 の遅延値を制御する制御回路 2 2 と、制御回路 2 2 からの制御信号 2 5 により、基準クロック信号 1 1 を、その遅延時間が制御された基準クロック遅延信号 1 2 として出力する可制御遅延回路 2 3 と、制御回路 2 2 からの制御信号 2 6 により、フィードバック信号 1 3 を、その遅延時間が制御されたフィードバック遅延信号 1 4 として出力する可制御遅延回路 2 4 とにより構成されている。

【 0 0 3 1 】

基準信号 1 1 のクロック周波数が 3 0 0 M H z の場合、アナログ P L L 回路の定常位相誤差は、プラスマイナス 2 0 0 p s 程度である。そのため、各可制御遅延回路 2 3、2 4 の遅延可変量はプラスマイナス 1 0 0 p s 程度に設計される。つまり、各可制御遅延回路 2 3、2 4 の総遅延量はそれぞれアナログ P L L 回路の定常位相誤差として想定される値（絶対値）とほぼ等しい程度の値に設計すればよい。例えば、各可制御遅延回路を、単位遅延時間が 1 0 p s であるバッファ回路を縦続接続して構成した場合、それぞれ 2 0 段のバッファを縦続接続することにより実現可能である。従って、各可制御遅延回路を構成する遅延バッファの段数を従来に比べて大幅に削減することができる。各可制御遅延回路 2 3、2 4 の遅延量はデジタルビット情報で示される遅延制御信号 2 5、2 6 により制御される。

【 0 0 3 2 】

なお、例えば可制御遅延回路 2 3 は固定遅延回路によって構成し、可制御遅延

回路 2 4 の遅延時間のみ制御回路 2 2 により制御するように構成することもできる。制御回路 2 2 には、動作クロック 2 7 として基準クロック信号 1 1 が入力され、この動作クロック 2 7 により制御動作が実行される。

【 0 0 3 3 】

図 3 ～図 4 は、本実施形態の動作を示すタイムチャートおよびクロック波形図である。以下、本実施形態の動作について、図 1 ～図 4 を参照して説明する。

【 0 0 3 4 】

内部アナログ PLL 回路 3 は、基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 の位相差を検出して、基準クロック遅延信号 1 2 よりもフィードバック遅延信号 1 4 の位相が遅い場合は、出力クロック信号 1 6 の位相を進め、逆に基準クロック遅延信号 1 2 よりもフィードバック遅延信号 1 4 の位相が早い場合は、出力クロック信号 1 6 の位相を遅らせて出力する。

【 0 0 3 5 】

この制御動作により位相が変化した出力クロック信号 1 6 は、CTS 回路 4 を介してフィードバック信号 1 3 として内部 DLL 回路 2 に戻り、フィードバック遅延信号 1 4 として内部アナログ PLL 回路 3 に帰還される。内部アナログ PLL 回路 3 は、再度基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 の位相差を検出して、前記と同様にして出力クロック信号 1 6 の位相を変化させる。この工程を繰り返すことにより出力クロック信号 1 6 の位相が制御される。

【 0 0 3 6 】

可制御遅延回路 2 3 及び 2 4 の遅延時間が等しく設定されている場合、理想的には基準クロック信号 1 1 とフィードバック信号 1 3 の位相差が 0 となったとき定常状態となり、出力クロック信号 1 6 の位相の変化は停止するが、内部アナログ PLL 回路 3 のもつ定常位相誤差により、出力クロック信号 1 6 の位相の変化は基準クロック信号 1 1 とフィードバック信号 1 3 の位相差が 0 でないところで停止して安定状態となってしまう。

【 0 0 3 7 】

そこで、内部 DLL 回路 2 は、外部から入力される基準クロック信号 1 1 とフィードバック信号 1 3 の位相差を位相比較器 2 1 で検出し、位相差が存在する場

合には、可制御遅延回路 2 3 及び 2 4 の遅延時間を制御することにより、基準クロック信号 1 1 から基準クロック遅延信号 1 2 までの遅延時間およびフィードバック信号 1 3 からフィードバック遅延信号 1 4 までの遅延時間を変化させ、内部アナログ PLL 回路 3 へ出力する基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 の間に、基準クロック信号 1 1 とフィードバック信号 1 3 の位相差よりも大きな位相差をつけて内部アナログ PLL 回路 3 へ出力する。その結果、基準クロック信号 1 1 とフィードバック信号 1 3 の位相差は 0 となる方向に制御される。

【 0 0 3 8 】

次に、図 3 に示すタイムチャートを参照して、本実施形態の位相同期ループの動作についてさらに詳述する。なお、図 3 は、可制御遅延回路 2 3 の遅延量は固定され、可制御遅延回路 2 4 の遅延時間のみ制御回路 2 2 により可変制御するものとし、また、基準クロック 1 1 の 1 クロック周期毎に遅延制御動作が行われるものとした場合のタイムチャートを示している。

【 0 0 3 9 】

<時刻 t 0 以前>

制御信号 1 5 が L レベルのとき制御回路 2 2 は不活性状態であり、このとき制御回路 2 2 は、予め設定された情報に基づき、遅延量データ (0, 0) を示す遅延制御信号 2 5, 2 6 を可制御遅延回路 2 3, 2 4 に導出している。例えば、この遅延量データ (0, 0) は、各可制御遅延回路 2 3, 2 4 の 1 0 段目のバッファ回路の出力を信号 1 2, 1 4 として出力させるデータである。つまり、初期状態では各可制御遅延回路 2 3, 2 4 の遅延量は、各可変遅延量の中間に設定されている。

【 0 0 4 0 】

内部アナログ PLL 回路 3 からは、この期間に定常位相誤差を含んだままロック状態となった出力クロック信号 1 6 が出力される。図 3 では、基準クロック信号 1 1 と出力クロック信号 1 6 の周波数は等しくなっているが、フィードバックループ（フィードバック信号 1 3 の前）に分周器を入れることにより、基準クロック周波数に対して逡倍された出力クロック信号 1 6 とすることもできる。

【 0 0 4 1 】

<時刻 t 0>

制御信号 1 5 が H レベルとなると、制御回路 2 2 が活性状態となり制御動作を開始する。位相比較器 2 1 はこの期間の信号 1 1 と信号 1 3 の位相のずれを検出して制御回路 2 2 に出力する。図 3 では、基準クロック信号 1 1 よりフィードバック信号 1 3 の位相が進んでいる場合を示している。この検出出力を受けた制御回路 2 2 は、フィードバック信号 1 3 の位相を更に進めてその位相差を拡大すべく、遅延データ (0, -1) を準備する。“-1” は、遅延量を例えば初期状態から 1 バッファ回路分減らすことを意味する。なお、遅延量の制御ステップは 1 バッファ分に限るものではなく、 p バッファ分 ($p \geq 2$) 単位で制御してもよい。

【 0 0 4 2 】

<時刻 t 1>

信号 1 1 の立ち上がりに対応して、制御回路 2 2 は、データ (0, -1) を遅延制御信号 2 5, 2 6 として可制御遅延回路 2 3, 2 4 へ出力する。この信号を受けた可制御遅延回路 2 4 は、遅延量を“-1”分減少させる。一方、可制御遅延回路 2 3 は、遅延量を変動させない。位相比較器 2 1 は、時刻 t 1 ~ t 2 の期間に、信号 1 1 と信号 1 3 の位相のずれを検出して制御回路 2 2 に出力する。この時点でも基準クロック信号 1 1 よりフィードバック信号 1 3 の位相が進んでいるので、この検出出力を受けた制御回路 2 2 は、フィードバック信号 1 3 の位相を更に進めてその位相差を拡大すべく、遅延データ (0, -2) を準備する。“-2” は、遅延量を例えば初期状態から 2 バッファ回路分減らすことを意味する。

【 0 0 4 3 】

<時刻 t 2 ~ t 6>

この期間、同様の制御動作が行われ、制御回路 2 2 は、可制御遅延回路 2 4 の遅延値を基準クロック信号 1 1 とフィードバック信号 1 3 の位相差がなくなるまで減らしていく制御を行う。時刻 t 6 で基準クロック信号 1 1 とフィードバック信号 1 3 の位相差は極小となり、位相同期ループ回路はこの状態で安定状態とな

る。従って、時刻 t_6 以降、ロジック回路 5 には、基準クロック信号 1 1 との間の位相差がほぼ 0 に制御された同期クロック信号が動作クロックとして供給される。

【 0 0 4 4 】

次に、図 4 に示すクロック波形図を参照して、内部 D L L 回路 2 の遅延制御動作についてさらに詳述する。なお、図 4 では、基準クロック信号 1 1 よりフィードバック信号 1 3 の位相が遅れている場合を示している。

【 0 0 4 5 】

内部 D L L 回路 2 の制御動作開始時には、可制御遅延回路 2 3 および 2 4 は同じ遅延になっており、基準クロック信号 1 1 とフィードバック信号 1 3 の位相差と、基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 の位相差は同じになっている（図 4 の A に示す状態）。

【 0 0 4 6 】

制御動作が開始され、内部 D L L 回路 2 の位相比較器 2 1 が、基準クロック信号 1 1 よりもフィードバック信号 1 3 が遅れていることを検出すると、制御回路 2 2 は可制御遅延回路 2 4 に対する遅延時間を増やすように制御信号 2 5, 2 6 としてデータ (0, +p) を出力する。その結果、基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 の位相差は当初の位相差よりも遅延値変化分だけさらに大きくなる（図 4 の B に示す状態）。

【 0 0 4 7 】

この状態は、内部アナログ P L L 回路 3 では安定状態ではないため、内部アナログ P L L 回路 3 はこの位相同期ループを安定状態にするように動作する。つまり出力クロック信号 1 6 の位相を進めることにより基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 の位相差を図 4 の A に示す状態の位相差にしようと動作する。その結果、基準クロック信号 1 1 とフィードバック信号 1 3 の位相差は縮まる（図 4 の C に示す状態）。

【 0 0 4 8 】

図 4 の C に示す状態となって、内部 D L L 回路 2 の位相比較器 2 1 からの位相差情報に基づいて、基準クロック信号 1 1 とフィードバック信号 1 3 の位相が一

致した（位相差 0）と判定されると、制御回路 2 2 は、可制御遅延回路 2 3，2 4 の遅延値をこの判定時点における遅延値をそのまま維持する。基準クロック信号 1 1 とフィードバック信号 1 3 の位相差は一度で極小になる方式もあり得るし、あるいは図 3 に示すように、何回かこの工程を繰り返して極小にする方式でもよい。

【 0 0 4 9 】

なお、上記実施形態では、可制御遅延回路 2 3 の遅延量を固定し、可制御遅延回路 2 4 の遅延時間のみ制御回路 2 2 により可変制御するものとして説明したが、可制御遅延回路 2 3 の遅延時間を可変制御とし、可制御遅延回路 2 4 の遅延量を固定とする形態、あるいは可制御遅延回路 2 3，2 4 の両方の遅延時間を可変制御する形態としてもよい。

【 0 0 5 0 】

次に、図 2 に示す内部 D L L 回路 2 の別の遅延制御動作例について説明する。

【 0 0 5 1 】

位相比較器 2 1 は、基準クロック信号 1 1 とフィードバック信号 1 3 の位相を比較することによりどちらが早く立ち上がるかを検出し、検出結果を制御回路 2 2 に出力する。制御回路 2 2 は、クロック毎もしくはクロック何回か毎に位相比較器 2 1 の比較結果を積分し、早い、遅いの出現度数により遅延制御を行う。

【 0 0 5 2 】

例えば、6 4 回比較を行い、基準クロック信号 1 1 に対してフィードバック信号 1 3 の位相が遅い場合が、5 回以下のときには基準クロック信号 1 1 の方が進んでいるとみなして、可制御遅延回路 2 4 の遅延を大きくし（または可制御遅延回路 2 3 の遅延を小さくし）、5 9 回以上のときにはフィードバック信号 1 3 の方が進んでいるとみなして、可制御遅延回路 2 4 の遅延を小さくする（または可制御遅延回路 2 3 の遅延を大きくする）。6 回から 5 8 回の間のときには変化させずに前回の遅延制御状態を維持する。

【 0 0 5 3 】

より一般的には、 n 回比較を行い、基準クロック信号 1 1 に対してフィードバック信号 1 3 の位相が遅い場合が、 m 回（ $m < n / 2$ ）よりも少ないときには基

準クロック信号 1 1 の方が進んでいるとみなして、可制御遅延回路 2 4 の遅延を大きくし（または可制御遅延回路 2 3 の遅延を小さくし）、逆に、フィードバック信号 1 3 に対して基準クロック信号 1 1 の位相が遅い場合が、m 回よりも少ないときにはフィードバック信号 1 3 の方が進んでいるとみなして、可制御遅延回路 2 4 の遅延を小さくする（または可制御遅延回路 2 3 の遅延を大きくする）。上記各場合が、何れも m 回以上のときには変化させずに前回の遅延制御状態を維持する。

【 0 0 5 4 】

こうすることにより、基準クロック信号 1 1 あるいはフィードバック信号 1 3 にジッタが含まれている場合であっても、これらのジッタによって遅延値がふらふらして不安定になることがなく、ジッタによるクロック位相変動の影響を低減することができる。

【 0 0 5 5 】

【発明の効果】

本発明は、アナログ PLL 回路の前段にデジタル回路的な動作を行う DLL 回路を配置し、この DLL 回路によってアナログ PLL 回路の出力クロック信号と基準クロック信号の位相比較を行っているので、アナログ PLL 回路のもつ定常位相誤差を低減することができる。

【 0 0 5 6 】

また、本発明における DLL 回路は、アナログ PLL 回路の前段に位相同期ループ回路の構成要素として挿入されているので、DLL 回路の遅延回路としては、アナログ PLL 回路の定常位相誤差時間遅延可能な遅延回路規模であればよく、独立して動作する PLL と DLL を使用する場合と比較して、遅延回路及び制御回路の構成が簡単となり、例えば集積回路上に配置された場合には DLL 単独で構成した場合と比較してその専有面積を小さくすることができる。

【 0 0 5 7 】

また、本発明の同期クロック信号はアナログ PLL 回路から出力されるので、DLL 部で発生するジッタはローパス特性を持つ PLL でフィルタされ、出力はアナログ PLL の精度となるため、DLL 回路を用いているにもかかわらずジッ

タを小さくすることができる。

【図面の簡単な説明】

【図 1】

本発明の位相同期ループ回路の実施形態を示すブロック図である。

【図 2】

本実施形態における D L L 回路の内部構成の一例を示すブロック図である。

【図 3】

本発明の動作を説明するためのタイムチャート図である。

【図 4】

本発明の動作を説明するためのクロック波形図である。

【図 5】

従来例を示すブロック図である。

【図 6】

従来例を示すブロック図である。

【符号の説明】

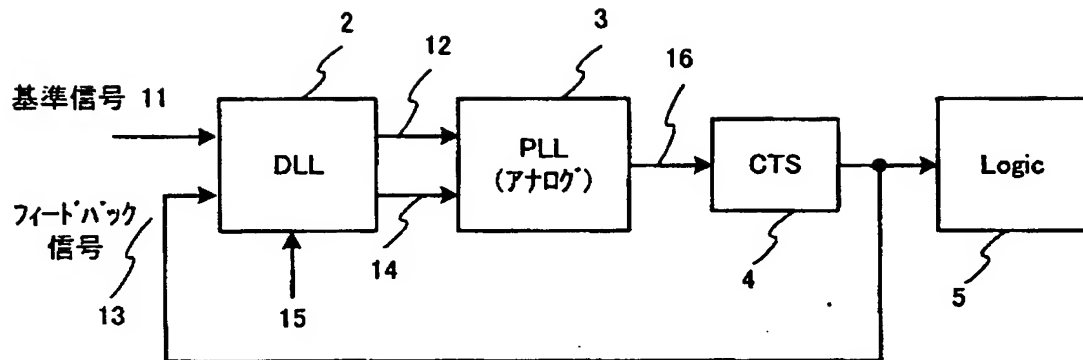
- 2 内部 D L L 回路
- 3 内部 P L L 回路
- 4, 5 6, 6 6 C T S
- 5, 5 7, 6 7 ロジック回路
- 1 1, 5 3, 6 3 基準クロック信号
- 1 2 基準クロック遅延信号
- 1 3, 5 4, 6 5 フィードバック信号
- 1 4 フィードバック遅延信号
- 1 5 制御信号
- 1 6, 5 5, 6 4 出力クロック信号
- 2 1 位相比較器
- 2 2 制御回路
- 2 3, 2 4 可制御遅延回路
- 2 5, 2 6 遅延制御信号

5 2, 6 1 アナログ P L L 回路

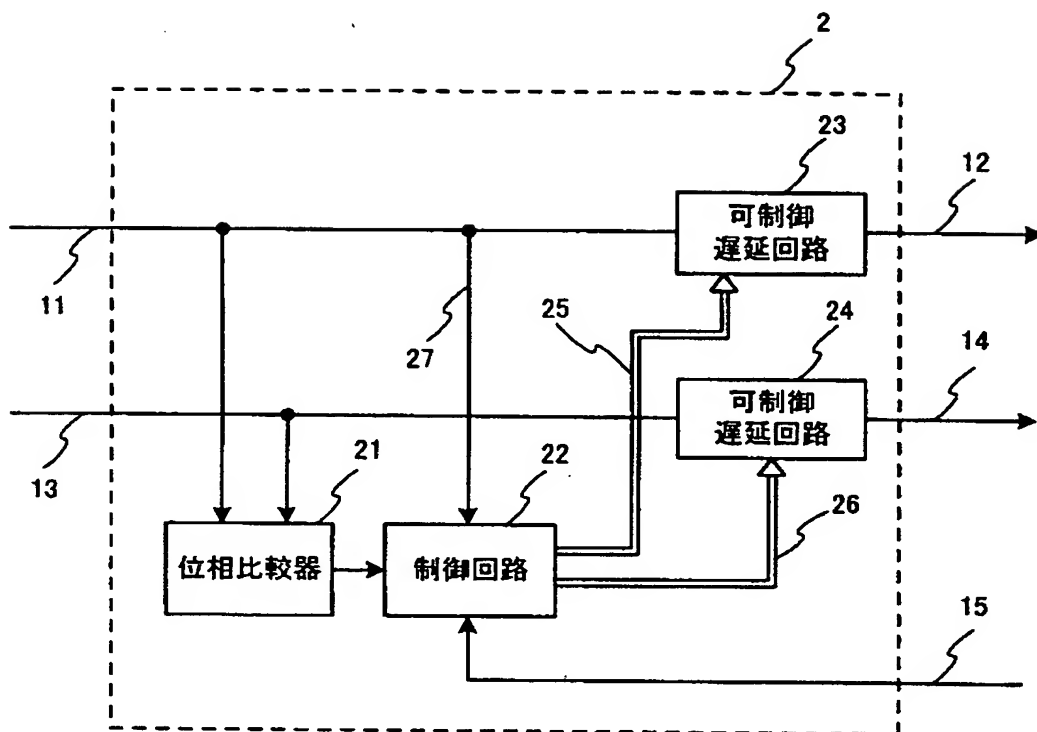
6 2 D L L 回路

【書類名】 図面

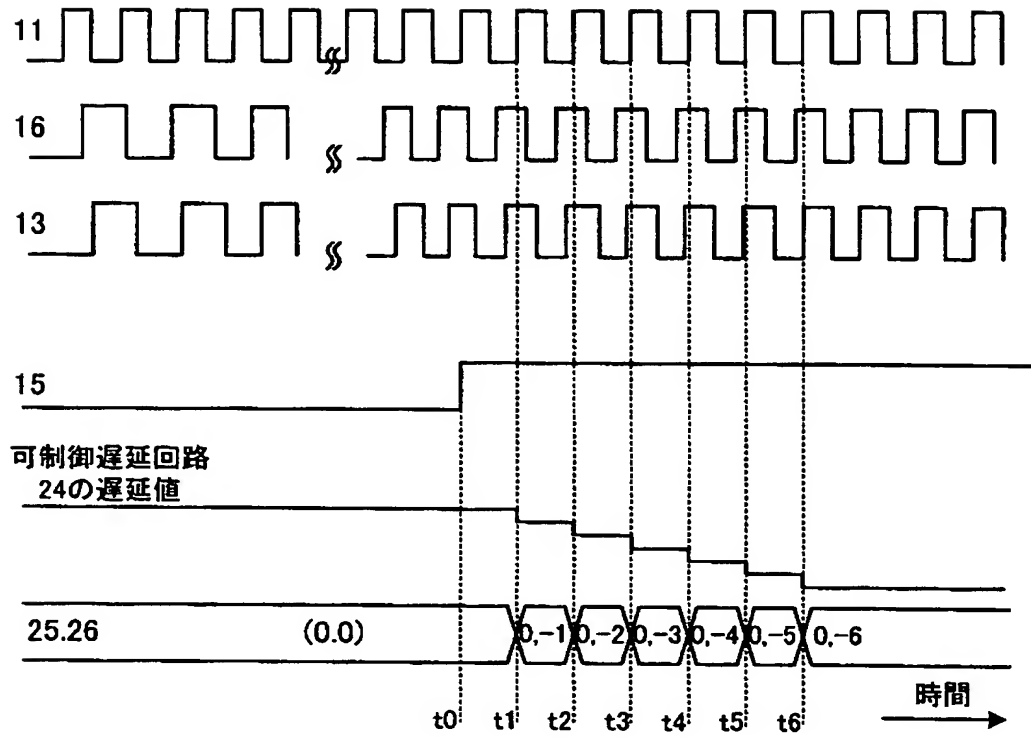
【図 1】



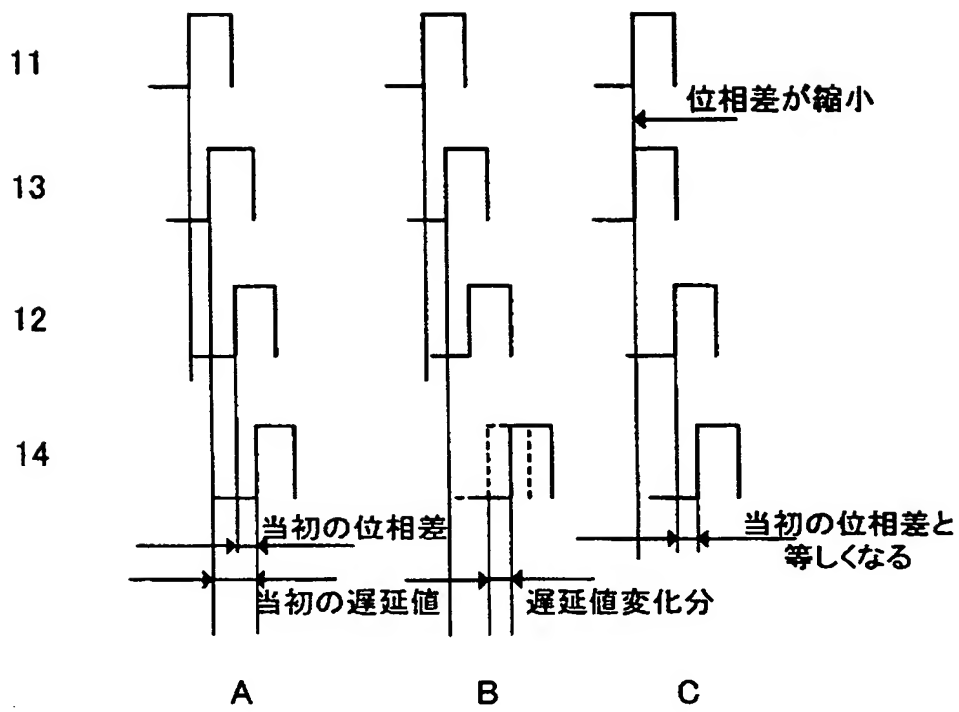
【図 2】



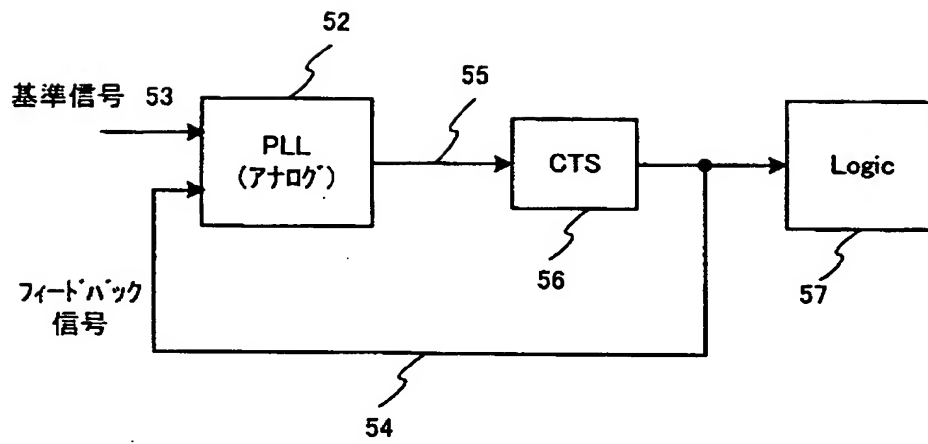
【図 3】



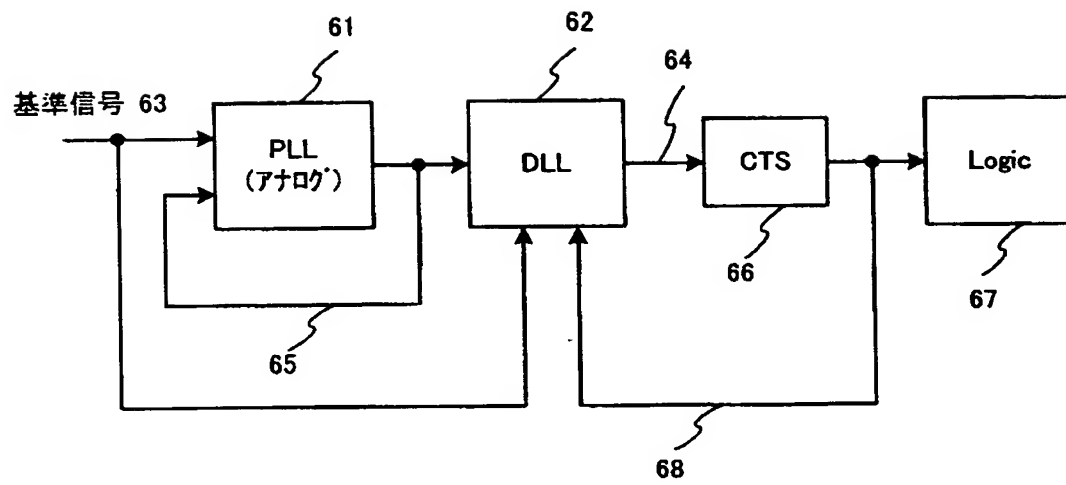
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 アナログ P L L 回路の出力信号精度を維持したまま、アナログ P L L 回路のもつ定常位相誤差を低減する。

【解決手段】 内部 D L L 回路 2 は、ロジック回路 5 に対する同期クロック信号であるフィードバック信号 1 3 と集積回路チップ外部より供給される基準クロック信号 1 1 間の位相差を検出し、この検出位相差よりも両者の位相差を大きくした基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 を生成して内部アナログ P L L 回路 3 へ出力する。内部アナログ P L L 回路 3 は、基準クロック遅延信号 1 2 とフィードバック遅延信号 1 4 を入力して、その位相差が内部アナログ P L L 回路 3 のもつ定常位相誤差となるように出力クロック信号 1 6 の位相を制御する。C T S 4 は、出力クロック信号 1 6 を均等に遅延して、集積回路内部の複数のロジック回路 5 に供給するとともに、フィードバック信号 1 3 として内部 D L L 回路 2 へ戻す。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成15年 1月23日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2002-281842
【承継人】
 【識別番号】 302062931
 【氏名又は名称】 N E Cエレクトロニクス株式会社
【承継人代理人】
 【識別番号】 100105511
 【弁理士】
 【氏名又は名称】 鈴木 康夫
【提出物件の目録】
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 平成15年1月10日提出の特願2002-31848
 8の出願人名義変更届に添付のものを援用する
 【物件名】 承継人であることを証明する承継証明書 1
 【援用の表示】 平成15年1月10日提出の特願2002-31848
 8の出願人名義変更届に添付のものを援用する
 【包括委任状番号】 0300183
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日	2002年11月 1日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部1753番地
氏 名	NECエレクトロニクス株式会社